

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月20日
Date of Application:

出願番号 特願2003-042462
Application Number:

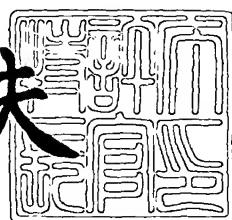
[ST. 10/C] : [JP2003-042462]

出願人 横河電機株式会社
Applicant(s):

2003年 7月11日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 02A0404

【あて先】 特許庁長官殿

【国際特許分類】 G01R 23/10

G01L 7/00

【発明者】

【住所又は居所】 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

【氏名】 堀尾 康明

【発明者】

【住所又は居所】 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

【氏名】 新国 雅章

【発明者】

【住所又は居所】 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

【氏名】 守屋 昌彦

【発明者】

【住所又は居所】 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

【氏名】 吉野 広樹

【特許出願人】

【識別番号】 000006507

【氏名又は名称】 横河電機株式会社

【代表者】 内田 勲

【先の出願に基づく優先権主張】

【出願番号】 特願2002-306482

【出願日】 平成14年10月22日

【手数料の表示】

【予納台帳番号】 005326

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 周波数測定回路およびそれを用いた振動センサ式差圧・圧力伝送器

【特許請求の範囲】

【請求項 1】

被測定信号の1周期またはその整数倍に関連する期間、基準クロックをカウントする第1のカウンタと、前記被測定信号と前記基準クロックとの時間差を検出する時間差検出回路と、この時間差検出回路の出力パルス幅を所定の倍率だけ拡大する時間幅拡大回路と、この時間幅拡大回路が拡大したパルス幅の間、基準クロックをカウントする第2のカウンタとを有し、前記第1および前記第2のカウンタのカウント値から前記被測定信号の周波数を求めるようにしたことを特徴とする周波数測定回路。

【請求項 2】

前記第2のカウンタのカウント値を前記時間幅拡大回路がパルス幅を拡大する前記所定の倍率により除算し、この除算した結果を前記第1のカウンタのカウント値に加算することによって、前記被測定信号の周波数を求めるようにしたことを特徴とする請求項1記載の周波数測定回路。

【請求項 3】

前記時間差検出回路は、前記被測定信号のレベルが変化してから前記基準クロックのレベルが変化するまでの間のパルス幅を有するパルス信号を出力するようにしたことを特徴とする請求項1または請求項2記載の周波数測定回路。

【請求項 4】

前記時間幅拡大回路は、所定の電圧で充電される第1の時定数回路と、この第1の時定数回路より大きな時定数を有し、所定の電圧で充電される第2の時定数回路と、これら第1および第2の時定数回路の出力電圧を比較する比較器と、この比較器の出力およびスタート信号に関連する信号が入力され、このスタート信号に関連する信号のパルス幅の間前記比較器の出力に関連する信号を出力するゲート回路とを有し、前記時間差検出回路の出力パルス幅の間前記第1の時定数回路に蓄えられた電荷を放電し、前記スタート信号のパルス幅の間前記第2の時定

数回路に蓄えられた電荷を放電するようにしたことを特徴とする請求項 1 ないし請求項 3 いずれかに記載の周波数測定回路。

【請求項 5】

前記時間幅拡大回路は、一定の電源電圧と共に電位点との間に設置された、第 1 分圧回路及び第 2 分圧回路と、前記第 1 分圧回路の分圧点を反転入力端子に接続するとともに前記第 2 分圧回路の分圧点を一定のスレッショルド電圧として非反転入力端子に接続して積分器を形成する演算増幅器と、前記演算増幅器の出力を反転入力端子に接続するとともに前記第 2 分圧回路の分圧点を一定のスレッショルド電圧として非反転入力端子に接続する比較器とを有し、前記時間差信号の入力により前記積分器内のコンデンサに蓄えられた電荷が放電するようにしたことを特徴とする請求項 1 ないし請求項 3 いずれかに記載の周波数測定回路。

【請求項 6】

振動式圧力センサの 1 周期またはその整数倍に関連する期間、基準クロックをカウントする第 1 のカウンタと、前記被測定信号と前記基準クロックとの時間差を検出する時間差検出回路と、この時間差検出回路の出力パルス幅を所定の倍率だけ拡大する時間幅拡大回路と、この時間幅拡大回路が拡大したパルス幅の間、基準クロックをカウントする第 2 のカウンタとを有し、前記第 1 および前記第 2 のカウンタのカウント値から前記被測定信号の周波数を求め、この周波数から圧力を求めるようにしたことを特徴とする振動センサ式差圧・圧力伝送器。

【請求項 7】

前記第 2 のカウンタのカウント値を前記時間幅拡大回路がパルス幅を拡大する前記所定の倍率により除算し、この除算した結果を前記第 1 のカウンタのカウント値に加算することによって、前記被測定信号の周波数を求めるようにしたことを特徴とする請求項 6 記載の振動センサ式差圧・圧力伝送器。

【請求項 8】

前記時間差検出回路は、前記被測定信号のレベルが変化してから前記基準クロックのレベルが変化するまでの間のパルス幅を有するパルス信号を出力するようにしたことを特徴とする請求項 6 または請求項 7 記載の振動センサ式差圧・圧力伝送器。

【請求項 9】

前記時間幅拡大回路は、所定の電圧で充電される第1の時定数回路と、この第1の時定数回路より大きな時定数を有し、所定の電圧で充電される第2の時定数回路と、これら第1および第2の時定数回路の出力電圧を比較する比較器と、この比較器の出力およびスタート信号に関連する信号が入力され、このスタート信号に関連する信号のパルス幅の間前記比較器の出力に関連する信号を出力するゲート回路とを有し、前記時間差検出回路の出力パルス幅の間前記第1の時定数回路に蓄えられた電荷を放電し、前記スタート信号のパルス幅の間前記第2の時定数回路に蓄えられた電荷を放電するようにしたことを特徴とする請求項6ないし請求項8いずれかに記載の振動センサ式差圧・圧力伝送器。

【請求項 10】

前記時間幅拡大回路は、一定の電源電圧と共通電位点との間に設置された、第1分圧回路及び第2分圧回路と、前記第1分圧回路の分圧点を反転入力端子に接続するとともに前記第2分圧回路の分圧点を一定のスレッショルド電圧として非反転入力端子に接続して積分器を形成する演算増幅器と、前記演算増幅器の出力を反転入力端子に接続するとともに前記第2分圧回路の分圧点を一定のスレッショルド電圧として非反転入力端子に接続する比較器とを有し、前記時間差信号の入力により前記積分器内のコンデンサに蓄えられた電荷が放電するようにしたことを特徴とする請求項6ないし請求項8いずれかに記載の振動センサ式差圧・圧力伝送器。

【発明の詳細な説明】**【発明の属する技術分野】**

この発明は、基準クロックを高速化することなく、被測定信号の周波数を高速・高分解能で測定することができる周波数測定回路およびそれを用いた振動センサ式差圧・圧力伝送器に関するものである。

【0001】**【従来の技術】**

図6に2線式振動センサ式差圧・圧力伝送器で用いられている周波数測定回路の構成を示す。振動式圧力センサ6は測定圧力に対応した周波数を有する信号f

を出力する。この信号 f は同期回路 7 に入力され、基準クロックの立ち上がりに同期した信号 F に変換される。この信号 F および基準クロックはカウンタ 8 に入力される。カウンタ 8 は基準クロックを信号 F の 1 周期またはその整数倍の期間カウントして、信号 F の周波数を測定する。この周波数データは演算回路 9 に入力され、差圧あるいは圧力が演算される。

【0002】

図 7 に同期回路 7 のタイムチャートを示す。基準クロックは一定の周波数を有するパルス信号である。信号 f はこの基準クロックよりかなり低い周波数の信号であり、かつ基準クロックに同期していない。同期回路 7 は基準クロックの立ち上がりで信号 f をサンプリングする。そのため、同期回路 7 の出力 F は基準クロックの立ち上がりに同期して変化する。

【0003】

すなわち、同期回路 7 は、基準クロックに同期していない信号 f から、基準クロックに同期した信号 F 作成する。なお、図 7 のゲート時間はカウンタ 8 が信号 F 及び基準クロックをカウントする単位期間を表している。

【0004】

【発明が解決しようとする課題】

しかしながら、このような振動センサ式差圧・圧力伝送器には次のような課題があった。

【0005】

図 6 の構成では、カウンタ 8 は基準クロックをカウントするものであるので、基準クロックの 1 周期以下の分解能を得ることはできない。振動式圧力センサ 6 の出力 f の周波数を高速に求めるためには、図 7 のゲート時間を短くしなければならないが、そうするとカウント値の分解能が低下してしまうという課題があった。

【0006】

分解能を高くするためには基準クロックの周波数を高くしなければならないが、そうすると消費電力が増大してしまう。2 線式の差圧・圧力伝送器では消費電力を小さくすることが要求されるので、基準クロックの周波数を上げることが困

難であるという課題もあった。

【0007】

従って本発明が解決しようとする課題は、基準クロックの周波数を上げることなく高速化が可能であり、かつ分解能が低下しない周波数測定回路及びそれを用いた振動センサ式差圧・圧力伝送器を提供することにある。

【0008】

【課題を解決するための手段】

このような課題を解決するために、本発明のうち請求項1記載の発明は、被測定信号の1周期またはその整数倍に関連する期間、基準クロックをカウントする第1のカウンタと、前記被測定信号と前記基準クロックとの時間差を検出する時間差検出回路と、この時間差検出回路の出力パルス幅を所定の倍率だけ拡大する時間幅拡大回路と、この時間幅拡大回路が拡大したパルス幅の間、基準クロックをカウントする第2のカウンタとを有し、前記第1および前記第2のカウンタのカウント値から前記被測定信号の周波数を求めるようにしたものである。基準クロックの周波数を高くすることなく、測定の高速化、高分解能化を図ることができる。

【0009】

請求項2記載の発明は、請求項1記載の発明において、前記第2のカウンタのカウント値を前記時間幅拡大回路がパルス幅を拡大する前記所定の倍率により除算し、この除算した結果に前記第1のカウンタのカウント値を加算することによって、前記被測定信号の周波数を求めるようにしたものである。簡単に周波数を求めることができる。

【0010】

請求項3記載の発明は、請求項1または請求項2記載の発明において、前記時間差検出回路は、前記被測定信号のレベルが変化してから前記基準クロックのレベルが変化するまでの間のパルス幅を有するパルス信号を出力するようにしたものである。簡単に時間差信号を得ることができる。

【0011】

請求項4記載の発明は、請求項1ないし請求項3いずれかに記載の発明におい

て、前記時間幅拡大回路は、所定の電圧で充電される第1の時定数回路と、この第1の時定数回路より大きな時定数を有し、所定の電圧で充電される第2の時定数回路と、これら第1および第2の時定数回路の出力電圧を比較する比較器と、この比較器の出力およびスタート信号に関連する信号が入力され、このスタート信号に関連する信号のパルス幅の間前記比較器の出力に関連する信号を出力するゲート回路とを有し、前記時間差検出回路の出力パルス幅の間前記第1の時定数回路に蓄えられた電荷を放電し、前記スタート信号のパルス幅の間前記第2の時定数回路に蓄えられた電荷を放電するようにしたものである。簡単にパルス幅を拡大することができる。

【0012】

請求項5記載の発明は、請求項1ないし請求項3いずれかに記載の発明において、前記時間幅拡大回路は、一定の電源電圧と共通電位点との間に設置された、第1分圧回路及び第2分圧回路と、前記第1分圧回路の分圧点を反転入力端子に接続するとともに前記第2分圧回路の分圧点を一定のスレッショルド電圧として非反転入力端子に接続して積分器を形成する演算増幅器と、前記演算増幅器の出力を反転入力端子に接続するとともに前記第2分圧回路の分圧点を一定のスレッショルド電圧として非反転入力端子に接続する比較器とを有し、前記時間差信号の入力により前記積分器内のコンデンサに蓄えられた電荷が放電するようにしたものである。

【0013】

請求項6記載の発明は、振動式圧力センサの1周期またはその整数倍に関連する期間、基準クロックをカウントする第1のカウンタと、前記被測定信号と前記基準クロックとの時間差を検出する時間差検出回路と、この時間差検出回路の出力パルス幅を所定の倍率だけ拡大する時間幅拡大回路と、この時間幅拡大回路が拡大したパルス幅の間、基準クロックをカウントする第2のカウンタとを有し、前記第1および前記第2のカウンタのカウント値から前記被測定信号の周波数を求め、この周波数から圧力を求めるようにしたものである。基準クロックの周波数を高くすることなく、圧力測定を高速化、高分解能化できる。

【0014】

請求項 7 記載の発明は、請求項 6 記載の発明において、前記第 2 のカウンタのカウント値を前記時間幅拡大回路がパルス幅を拡大する前記所定の倍率により除算し、この除算した結果に前記第 1 のカウンタのカウント値を加算することによって、前記被測定信号の周波数を求めるようにしたものである。簡単に周波数を求めることができる。

【0015】

請求項 8 記載の発明は、請求項 6 または請求項 7 記載の発明において、前記時間差検出回路は、前記被測定信号のレベルが変化してから前記基準クロックのレベルが変化するまでの間のパルス幅を有するパルス信号を出力するようにしたものである。簡単に時間差信号を求めることができる。

【0016】

請求項 9 記載の発明は、請求項 6 ないし請求項 8 いずれかに記載の発明において、前記時間幅拡大回路は、所定の電圧で充電される第 1 の時定数回路と、この第 1 の時定数回路より大きな時定数を有し、所定の電圧で充電される第 2 の時定数回路と、これら第 1 および第 2 の時定数回路の出力電圧を比較する比較器と、この比較器の出力およびスタート信号に関連する信号が入力され、このスタート信号に関連する信号のパルス幅の間前記比較器の出力に関連する信号を出力するゲート回路とを有し、前記時間差検出回路の出力パルス幅の間前記第 1 の時定数回路に蓄えられた電荷を放電し、前記スタート信号のパルス幅の間前記第 2 の時定数回路に蓄えられた電荷を放電するようにしたものである。簡単にパルス幅を拡大することができる。

【0017】

請求項 10 記載の発明は、請求項 6 ないし請求項 8 いずれかに記載の発明において、前記時間幅拡大回路は、一定の電源電圧と共通電位点との間に設置された、第 1 分圧回路及び第 2 分圧回路と、前記第 1 分圧回路の分圧点を反転入力端子に接続するとともに前記第 2 分圧回路の分圧点を一定のスレッショルド電圧として非反転入力端子に接続して積分器を形成する演算增幅器と、前記演算增幅器の出力を反転入力端子に接続するとともに前記第 2 分圧回路の分圧点を一定のスレッショルド電圧として非反転入力端子に接続する比較器とを有し、前記時間差

信号の入力により前記積分器内のコンデンサに蓄えられた電荷が放電するようにしたものである。

【0018】

【発明の実施の形態】

以下に、図に基づいて本発明を詳細に説明する。

図1は本発明に係る差圧・圧力伝送器で用いる周波数測定回路の一実施例を示す構成図である。なお、図6と同じ要素には同一符号を付し、説明を省略する。図1において、1は時間差検出回路であり、振動式圧力センサ6の出力fおよび同期回路7の出力Fが入力され、出力fの立ち上がりで低レベルになり、その後の出力Fの立ち上がりで高レベルになる信号Tinを出力する。すなわち、時間差検出回路1の出力Tinは出力fとFの時間差のパルス幅を有する信号である。

【0019】

2は時間幅拡大回路であり、時間差検出回路1の出力Tinが入力され、この出力Tinのパルス幅、すなわち低レベル期間を所定の倍率だけ拡大したパルス幅を有する信号Toutを出力する。31はカウンタであり、出力Fの1周期またはその整数倍の間基準クロックをカウントする。すなわち、カウンタ31は図6従来例のカウンタ8と同じ動作をする。

【0020】

32はカウンタであり、時間幅拡大回路2の出力Toutおよび基準クロックが入力され、出力Toutのパルス幅、すなわちToutが低レベルの期間基準クロックをカウントする。4は演算回路であり、カウンタ31と32のカウント値が入力される。演算回路4は、カウンタ32のカウント値を時間幅拡大回路2が入力信号のパルス幅を拡大する倍率により除算し、この除算結果をカウンタ31のカウント値に加算することによって、振動式圧力センサ6の出力fの周波数を演算する。また、この周波数から圧力値を演算する。

【0021】

図2は時間幅拡大回路2の一実施例の構成図である。図2において、24は比較器であり、その非反転入力端子には抵抗R2とコンデンサC2が、反転入力端

子には抵抗R1とコンデンサC1が接続される。コンデンサC1, C2の他端は共通電位点に接続される。また、抵抗R1, R2の他端には、それぞれダイオードD1, D2のアノードが接続される。コンデンサC1と抵抗R1で第1の時定数回路が、コンデンサC2と抵抗R2で第2の時定数回路が構成される。

【0022】

21はバッファであり、START信号が入力される。このバッファ21の出力端子はダイオードD2のカソードに接続される。22はバッファであり、時間差検出回路1の出力Tinが入力され、その出力端子にはダイオードD1のカソードが接続される。ダイオードD2, D1はバッファ21, 22からコンデンサC1, C2に電流が流れ込まないようにするために挿入する。

【0023】

23はインバータであり、バッファ21の出力が入力される。25は2入力のNANDゲートであり、インバータ23の出力および比較器24の出力が入力される。このNANDゲート25の出力が時間幅拡大回路2の出力Toutになる。

【0024】

SW1, SW2はスイッチであり、その一端には基準電圧VREFに接続され、SW1の他端は比較器24の反転入力端子に、SW2の他端は同非反転入力端子に接続される。基準電圧VREFの電圧値は、バッファ21, 22およびインバータ23の電源電圧VDDより低くなるように設定される。

【0025】

次に、この実施例の動作を図3の波形図に基づいて説明する。図3は上から基準クロック、SW1, SW2のオン、オフ状態、振動式圧力センサ6の出力f、同期回路7の出力F、時間差検出回路1の出力Tin、START信号、時間幅拡大回路2の出力Toutの波形図である。

【0026】

スイッチSW1, SW2がオンすると、コンデンサC1, C2は基準電圧VREFによって充電される。充電が完了すると、スイッチSW1, SW2はオフにされる。このとき、START信号は高レベルになっている。このSTART信

号はインバータで反転されてNANDゲート25に入力されるので、NANDゲート25の出力Toutは高レベルになる。

【0027】

時刻t1でfが立ち上るとTinが立ち下がる。そして、次の基準クロックの立ち上がりでFが立ち上ると共にTinが立ち上がる。Tinが低レベルの間はコンデンサC1に蓄積された電荷は抵抗R1を介して放電される。そのため、比較器24の出力は高レベルになる。コンデンサC1の両端電圧は下式(1)の $\Delta V1$ だけ低下する。

$$\Delta V1 = (VREF - VF) \times [1 - \exp(-Tin / (R1 \times C1))] \quad \dots \dots \dots (1)$$

ここで、Tinは上記のTinが低レベルの期間である。なお、VFはダイオードD1の順方向電圧降下の値である。

【0028】

Tinが高レベルになると、次に時刻t2でSTART信号が一定時間低レベルにされる。NANDゲート25の2つの入力はいずれも高レベルになるので、その出力Toutは低レベルに変化する。また、コンデンサC2に蓄積された電荷は抵抗R2を介して放電されるので、コンデンサC2両端の電圧は下式(2)によって徐々に低下していく。

$$\Delta V(t) = (VREF - VF) \times [1 - \exp(-t / (R2 \times C2))] \quad \dots \dots \dots (2)$$

なお、VFはダイオードD2の順方向電圧降下の値、tはSTART信号が低レベルになってからの時間である。

【0029】

コンデンサC2両端の電圧がコンデンサC1両端の電圧よりも低くなると、比較器24の出力は低レベルに反転する。そのため、NANDゲート25の出力Toutは高レベルに反転する。

【0030】

コンデンサC1、C2の容量を同じ記号のC1、C2で、抵抗R1、R2の抵抗値を同じ記号のR1、R2で表すと、コンデンサC1と抵抗R1で構成される

第1の時定数回路の時定数は $C_1 \times R_1$ 、コンデンサ C_2 と抵抗 R_2 で構成される第2の時定数回路の時定数は $C_2 \times R_2$ になる。

【0031】

コンデンサ C_1 両端の電圧は $1 / (C_1 \times R_1)$ の割合で減少し、コンデンサ C_2 両端の電圧は $1 / (C_2 \times R_2)$ の割合で減少する。そのため、時間幅拡大回路2の出力 T_{out} のパルス幅は時間差検出回路1の出力 T_{in} の $(C_2 \times R_2) / (C_1 \times R_1)$ 倍に拡大される。

【0032】

より詳しく説明すれば、 T_{out} のパルス幅を T_{out} とすると、(1)式と(2)式の $\Delta V (T_{out})$ を等しいとすることにより、 $T_{out} = T_{in} \times (C_2 \times R_2) / (C_1 \times R_1)$ となる。

【0033】

なお、図2の構成図は時間幅拡大回路の一実施例であり、必ずしもこの構成を用いる必要はない。要は、入力信号のパルス幅を一定の倍率だけ拡大する構成であればよい。

【0034】

図4の構成図は、時間幅拡大回路2の他の実施例である。この図で、時間差信号 T_{in} はインバータ U_0 を介してNチャンネルFETスイッチ Q_1 を開閉する。信号 T_{in} の高レベルで Q_1 はオフ、低レベルでオンに制御される。 V_{REF} は共通電位点との間に与えられる一定の電源電圧である。

【0035】

抵抗 R_2 、 R_1 の直列回路よりなる第1分圧回路及び抵抗 R_3 、 R_4 の直列回路よりなる第2分圧回路が電源電圧 V_{REF} と共通電位点間に接続され、第1分圧回路の抵抗 R_1 に直列にFETスイッチ Q_1 が挿入される。第1分圧回路の分圧点 B_1 は積分器を構成する演算増幅器 U_1 の反転入力端子に接続され、第2分圧回路の分圧点 B_2 の電位は、一定のスレッシュホールド電圧 V_{th} として演算増幅器 U_1 の非反転入力端子及びコンパレータを構成する比較増幅器 U_2 の非反転入力端子に供給される。

【0036】

積分器を構成する演算増幅器 U 1 の反転入力端子とその出力端子間にはコンデンサ C 1 が接続され、演算増幅器 U 1 の出力端子は比較増幅器 U 2 の反転入力端子に接続される。コンデンサ C 1 に並列接続された定電圧ダイオード D 3 とダイオード D 4 の直列回路は、演算増幅器 U 1 の出力電圧の負側の電位を規制する。

【0037】

このような構成において、FETスイッチ Q 1 がオフ状態では、コンデンサ C 1 は抵抗 R 2 を介して電源電圧 VREF より充電されるので、演算増幅器 U 1 の出力電圧は定電圧ダイオード D 3, D 4 で規制されるスレッシュホールド電圧 Vth より低い所定の低レベルである。このときコンパレータを構成する比較増幅器 U 2 の出力は高レベルとなっている。

【0038】

時間差信号 T_{in} が低レベルになることにより FETスイッチ Q 1 がオン状態となると、分圧点 B 1 の電位がスレッシュホールド電圧 Vth より低下するのでコンデンサ C 1 の電荷が放電され、演算増幅器 U 1 の出力電圧は抵抗 R 1, R 2 とコンデンサ C 1 の時定数による一定勾配で上昇する。この上昇電圧がスレッシュホールド電圧 Vth を超えたときに、比較器 U 2 の出力は高レベルより低レベルに反転する。

【0039】

また、時間差信号 T_{in} の入力が高レベルとなると、積分器を形成するコンデンサ C 1 は抵抗 R 2 を介して電源電圧 VREF より充電されるので、演算増幅器 U 1 の出力電圧はコンデンサ C 1、抵抗 R 2 による時定数による勾配で低下し、この電圧がスレッシュホールド電圧 Vth を超えて低下したときに比較器 U 2 の出力は低レベルより高レベルに反転する。比較器 U 2 の低レベル側への反転時間を拡大時間 T_{out} として使用する。

【0040】

次に、この実施例の動作を図 5 の波形図に基づいて説明する。図 5 は上から基準クロック、振動式圧力センサ 6 の出力 f、同期回路 7 の出力 F、時間差検出回路 1 の出力 T_{in} 、演算増幅器 U 1 の出力、比較増幅器 U 2 の出力即ち時間差検出回路 1 の出力 T_{in} を拡大した時間 T_{out} の波形図である。

【0041】

なお、ゲート時間の初めに発生する時間差検出回路の出力を $T_{in}(1)$ 、終わりに発生する時間差を $T_{in}(2)$ で示す。また、ゲート時間の初めに発生する拡大時間を $T_{out}(1)$ 、終わりに発生する拡大時間を $T_{out}(2)$ で示す。時間 T_a は、時間差 T_{in} の初めから比較増幅器 U2 の出力が高レベルより低レベルに反転するまでの時間を示す。

【0042】

次に、信号処理の手順を説明する。図4に示した時間幅拡大回路により、

$$T_{out}(1) = (R_2 \times R_4) / (R_1 \times R_3) \times \{T_{in}(1) - T_a\}$$

$$T_{out}(2) = (R_2 \times R_4) / (R_1 \times R_3) \times \{T_{in}(2) - T_a\}$$

となる。

【0043】

ここで、実際に必要な情報は、 T_{in} 及び T_{out} の差分であり、

$$T_{out}(2) - T_{out}(1)$$

$$= (R_2 \times R_4) / (R_1 \times R_3) \times \{T_{in}(2) - T_{in}(1)\}$$

となり、時間幅の拡大比率は $(R_2 \times R_4) / (R_1 \times R_3)$ となる。

【0044】

図5における拡大時間 $T_{out}(1)$ を求める動作で、第1カウンタ10はFの積算値を測定する。これを F_n とする。この拡大時間 $T_{out}(1)$ において第2カウンタ13は $T_{out}(1)$ の時間幅を測定する。これを δT_n とする。

【0045】

次に、拡大時間 $T_{out}(2)$ を求める動作で、第1カウンタ10はFの積算値を測定する。これを $F_n + 1$ とする。この拡大時間 $T_{out}(2)$ において第2カウンタ13は $T_{out}(2)$ の時間幅を測定する。これを δT_{n+1} とする。

【0046】

以上のカウント値 F_n 、 F_{n+1} 、 δT_n 、 δT_{n+1} と、基準クロック、ゲート時間、抵抗 R_1 、 R_2 、 R_3 、 R_4 により、演算回路14は次式により分解能を高めた周波数 f を補正演算する。

$$f = [\{ (F_n + 1) - F_n \} + \{ (\delta T_n + 1) - \delta T_n \} \times (R_1 \times R_3) / (R_2 \times R_4)] / \text{ゲート時間}$$

【0047】

このように、この実施例では、拡大比率を純粋に抵抗R1, R2, R3, R4のみで決定されるので、抵抗R1, R2, R3, R4に温度係数の小さいものを選定することで、容易に高精度を確保することができる。

【0048】

また、カウンタ31は同期回路7の出力Fの1周期の間基準クロックをカウントするようにしたが、必ずしも1周期でなくてもよい。2周期や1/2周期など1周期に一定の倍率を乗算した期間であってもよい。さらに、カウンタ31とカウンタ32は別々の基準クロックをカウントするようにしてもよい。

【発明の効果】

以上説明したことから明らかなように、本発明によれば、次の効果が期待できる。

請求項1記載の発明によれば、被測定信号の1周期またはその整数倍に関連する期間、基準クロックをカウントする第1のカウンタと、前記被測定信号と前記基準クロックとの時間差を検出する時間差検出回路と、この時間差検出回路の出力パルス幅を所定の倍率だけ拡大する時間幅拡大回路と、この時間幅拡大回路が拡大したパルス幅の間、基準クロックをカウントする第2のカウンタとを有し、前記第1および前記第2のカウンタのカウント値から前記被測定信号の周波数を求めるようにした。

【0049】

基準クロックの周波数を高くすることなく、測定の高速化、高分解能化を図ることができるという効果がある。例えば、測定時間を1/4にするためには第1のカウンタのカウント時間を1/4にして、時間幅拡大回路で時間差信号のパルス幅を4倍にすればよい。基準クロックの周波数を低くすることができるので、回路の消費電力を低減することができ、かつ安価な低速の部品を使用することができるという効果もある。

【0050】

請求項 2 記載の発明によれば、請求項 1 記載の発明において、前記第 2 のカウンタのカウント値を前記時間幅拡大回路がパルス幅を拡大する前記所定の倍率により除算し、この除算した結果を前記第 1 のカウンタのカウント値に加算することによって、前記被測定信号の周波数を求めるようにした。簡単に周波数を求めることができるという効果がある。特に、時間幅拡大回路の拡大倍率を 2 の n 乗に設定すると、乗算の代わりにシフト演算を用いることができるので、演算回路を大幅に簡単化できるという効果もある。

【0051】

請求項 3 記載の発明によれば、請求項 1 または請求項 2 記載の発明において、前記時間差検出回路は、前記被測定信号のレベルが変化してから前記基準クロックのレベルが変化するまでの間のパルス幅を有するパルス信号を出力するようにした。簡単に時間差信号を得ることができるという効果がある。

【0052】

請求項 4 記載の発明によれば、請求項 1 ないし請求項 3 いずれかに記載の発明において、前記時間幅拡大回路は、所定の電圧で充電される第 1 の時定数回路と、この第 1 の時定数回路より大きな時定数を有し、所定の電圧で充電される第 2 の時定数回路と、これら第 1 および第 2 の時定数回路の出力電圧を比較する比較器と、この比較器の出力およびスタート信号に関連する信号が入力され、このスタート信号に関連する信号のパルス幅の間前記比較器の出力に関連する信号を出力するゲート回路とを有し、前記時間差検出回路の出力パルス幅の間前記第 1 の時定数回路に蓄えられた電荷を放電し、前記スタート信号のパルス幅の間前記第 2 の時定数回路に蓄えられた電荷を放電するようにした。

【0053】

簡単な回路でパルス幅を拡大することができるという効果がある。また、コンデンサと抵抗の値を変えるだけで、拡大率を変更することができるという効果もある。

【0054】

請求項 5 記載の発明によれば、請求項 1 ないし請求項 3 いずれかに記載の発明において、前記時間幅拡大回路は、一定の電源電圧と共通電位点との間に設置さ

れた、第1分圧回路及び第2分圧回路と、前記第1分圧回路の分圧点を反転入力端子に接続するとともに前記第2分圧回路の分圧点を一定のスレッショルド電圧として非反転入力端子に接続して積分器を形成する演算増幅器と、前記演算増幅器の出力を反転入力端子に接続するとともに前記第2分圧回路の分圧点を一定のスレッショルド電圧として非反転入力端子に接続する比較器とを有し、前記時間差信号の入力により前記積分器内のコンデンサに蓄えられた電荷が放電するようにした。

【0055】

簡単な回路でパルス幅を拡大することができるという効果がある。また、抵抗の値を変えるだけで、拡大率を変更することができるという効果もある。

【0056】

請求項6記載の発明によれば、振動式圧力センサの1周期またはその整数倍に関連する期間、基準クロックをカウントする第1のカウンタと、前記被測定信号と前記基準クロックとの時間差を検出する時間差検出回路と、この時間差検出回路の出力パルス幅を所定の倍率だけ拡大する時間幅拡大回路と、この時間幅拡大回路が拡大したパルス幅の間、基準クロックをカウントする第2のカウンタとを有し、前記第1および前記第2のカウンタのカウント値から前記被測定信号の周波数を求め、この周波数から圧力を求めるようにした。

【0057】

基準クロックの周波数を高くすることなく、測定の高速化、高分解能化を図ることができるという効果がある。例えば、測定時間を1/4にするためには第1のカウンタのカウント時間を1/4にして、時間幅拡大回路で時間差信号のパルス幅を4倍にすればよい。基準クロックの周波数を低くすることができるので、回路の消費電力を低減することができ、かつ安価な低速の部品を使用することができるという効果もある。特に2線式伝送器の場合は消費電力が厳しく制限されるので、効果が大きい。

【0058】

請求項7記載の発明によれば、請求項6記載の発明において、前記第2のカウンタのカウント値を前記時間幅拡大回路がパルス幅を拡大する前記所定の倍率に

より除算し、この除算した結果を前記第1のカウンタのカウント値に加算することによって、前記被測定信号の周波数を求めるようにした。簡単に周波数を求めることができるという効果がある。特に、時間幅拡大回路の拡大倍率を2のn乗に設定すると、乗算の代わりにシフト演算を用いることができるので、演算回路を大幅に簡素化できるという効果もある。

【0059】

請求項8記載の発明によれば、請求項6または請求項7記載の発明において、前記時間差検出回路は、前記被測定信号のレベルが変化してから前記基準クロックのレベルが変化するまでの間のパルス幅を有するパルス信号を出力するようにした。簡単に時間差信号を求めることができるという効果がある。

【0060】

請求項9記載の発明によれば、請求項6ないし請求項8いずれかに記載の発明において、前記時間幅拡大回路は、所定の電圧で充電される第1の時定数回路と、この第1の時定数回路より大きな時定数を有し、所定の電圧で充電される第2の時定数回路と、これら第1および第2の時定数回路の出力電圧を比較する比較器と、この比較器の出力およびスタート信号に関連する信号が入力され、このスタート信号に関連する信号のパルス幅の間前記比較器の出力に関連する信号を出力するゲート回路とを有し、前記時間差検出回路の出力パルス幅の間前記第1の時定数回路に蓄えられた電荷を放電し、前記スタート信号のパルス幅の間前記第2の時定数回路に蓄えられた電荷を放電するようにした。

【0061】

簡単な回路でパルス幅を拡大することができるという効果がある。また、コンデンサと抵抗の値を変えるだけで、拡大率を変更することができるという効果もある。

【0062】

請求項10記載の発明によれば、請求項6ないし請求項8いずれかに記載の発明において、前記時間幅拡大回路は、一定の電源電圧と共通電位点との間に設置された、第1分圧回路及び第2分圧回路と、前記第1分圧回路の分圧点を反転入力端子に接続するとともに前記第2分圧回路の分圧点を一定のスレッショルド電

圧として非反転入力端子に接続して積分器を形成する演算増幅器と、前記演算増幅器の出力を反転入力端子に接続するとともに前記第2分圧回路の分圧点を一定のスレッショルド電圧として非反転入力端子に接続する比較器とを有し、前記時間差信号の入力により前記積分器内のコンデンサに蓄えられた電荷が放電するようとした。

【0063】

簡単な回路でパルス幅を拡大することができるという効果がある。また、抵抗の値を変えるだけで、拡大率を変更することができるという効果もある。

【図面の簡単な説明】

【図1】

本発明の一実施例を示す構成図である。

【図2】

時間幅拡大回路の一実施例を示す構成図である。

【図3】

本発明の一実施例の波形図である。

【図4】

時間幅拡大回路の他の実施例を示す構成図である。

【図5】

本発明の他の実施例の波形図である。

【図6】

従来の振動センサ式差圧・圧力伝送器の構成図である。

【図7】

同期回路の動作を説明するための波形図である。

【符号の説明】

- 1 時間差検出回路
- 2 時間幅拡大回路
- 21, 22 バッファ
- 23 インバータ
- 24 比較器

25 NANDゲート

31、32 カウンタ

4 演算回路

6 振動式圧力センサ

C1, C2 コンデンサ

D1, D2, D4 ダイオード

D3 定電圧ダイオード

R1, R2, R3, R4 抵抗

SW1, SW2 スイッチ

U0 インバータ

U1 演算増幅器

U2 比較器

Q1 FETスイッチ

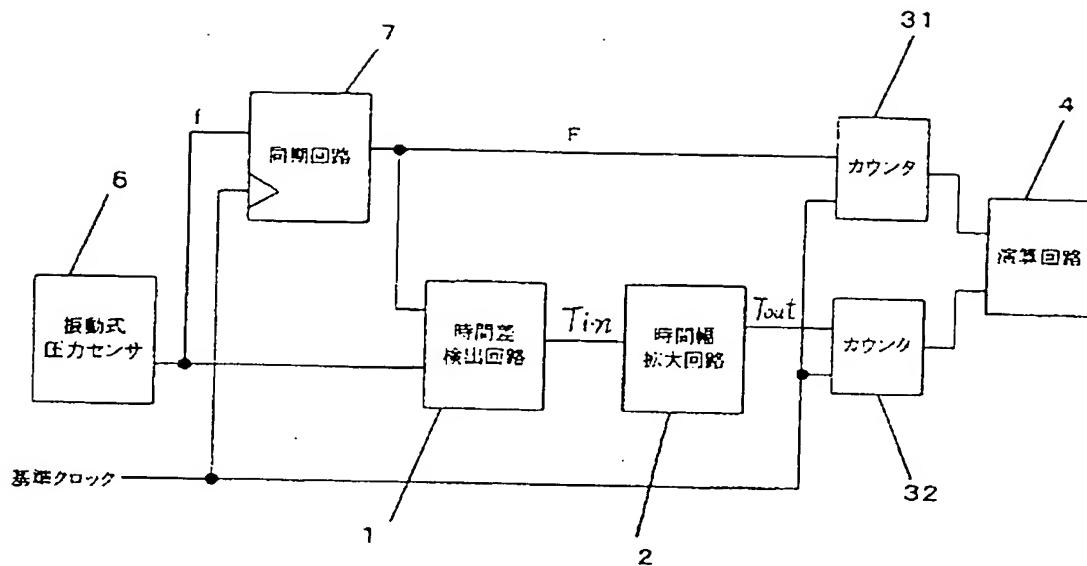
Tin 時間差検出回路1の出力

tout 時間幅拡大回路2の出力

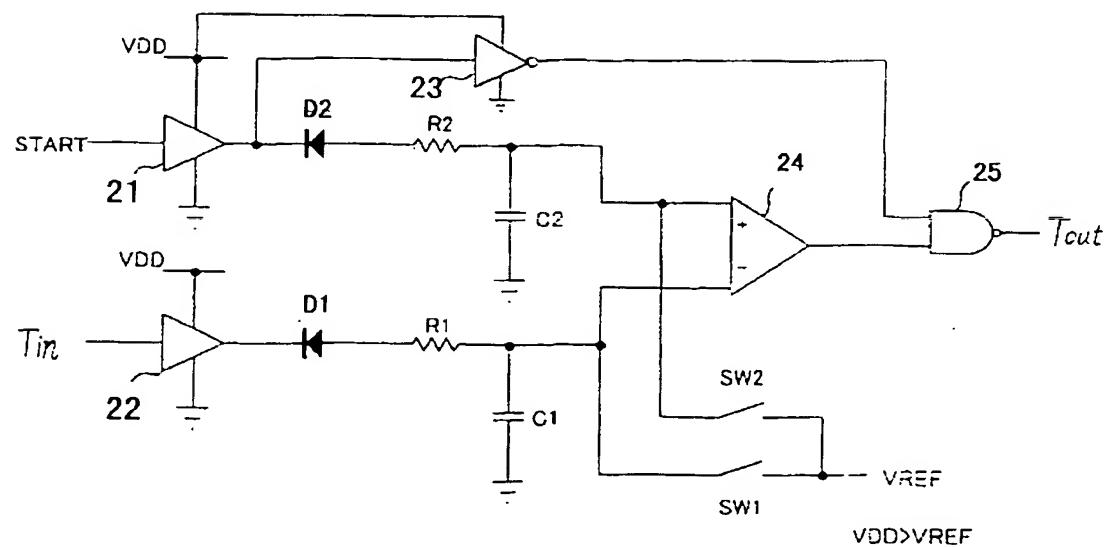
【書類名】

図面

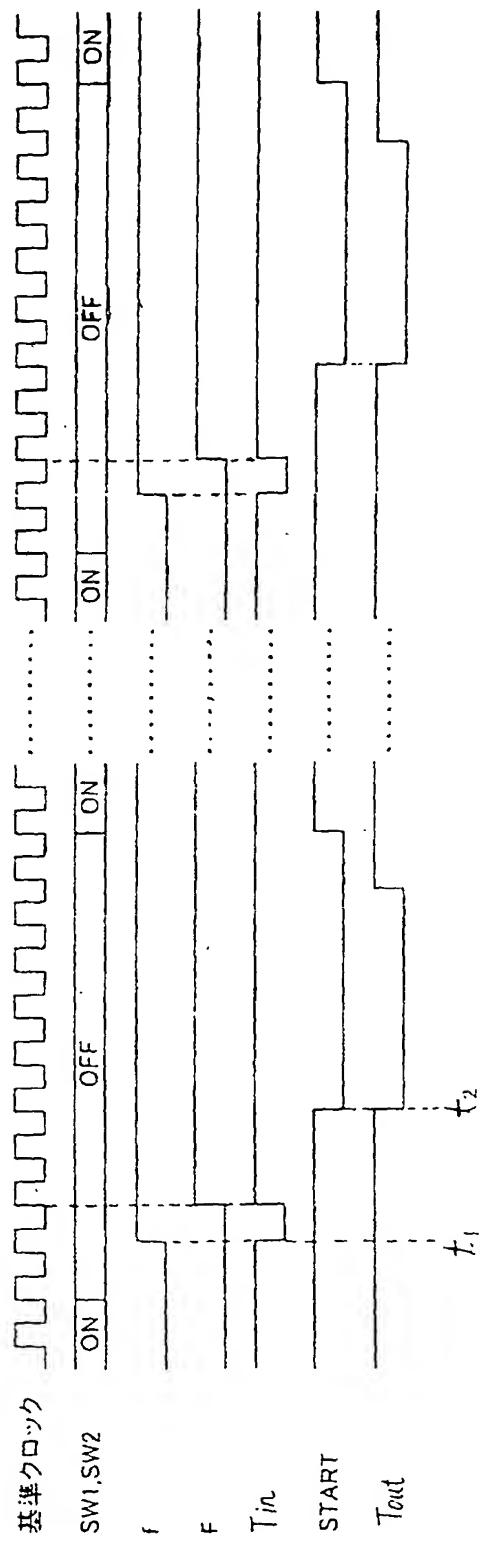
【図 1】



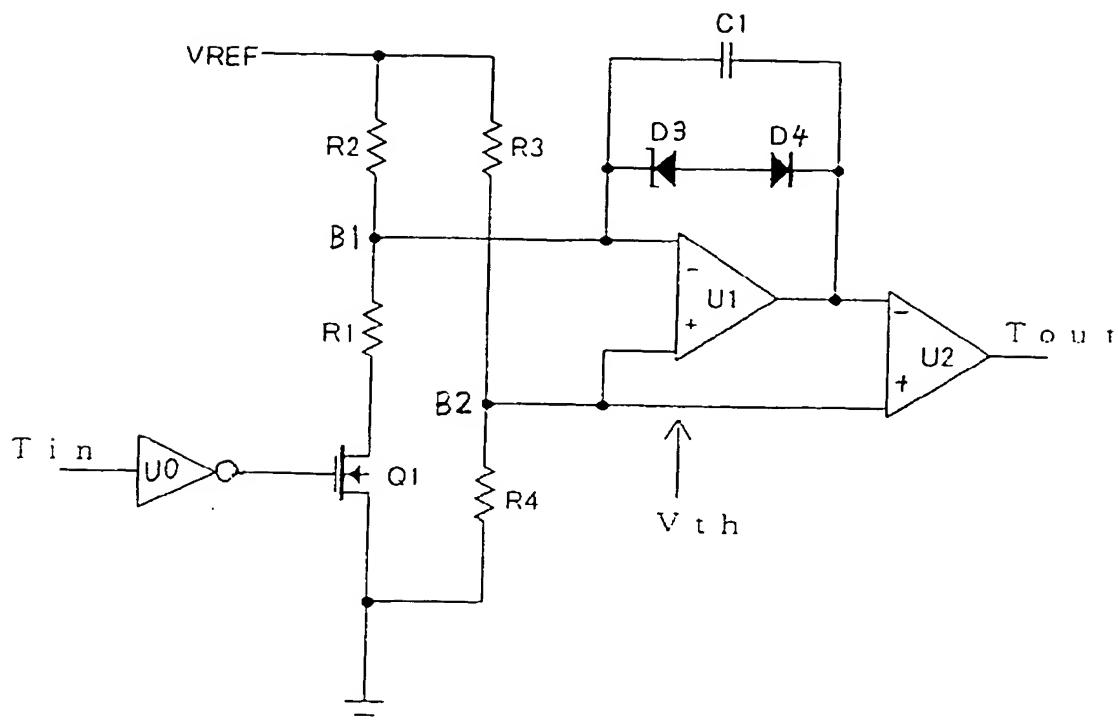
【図 2】



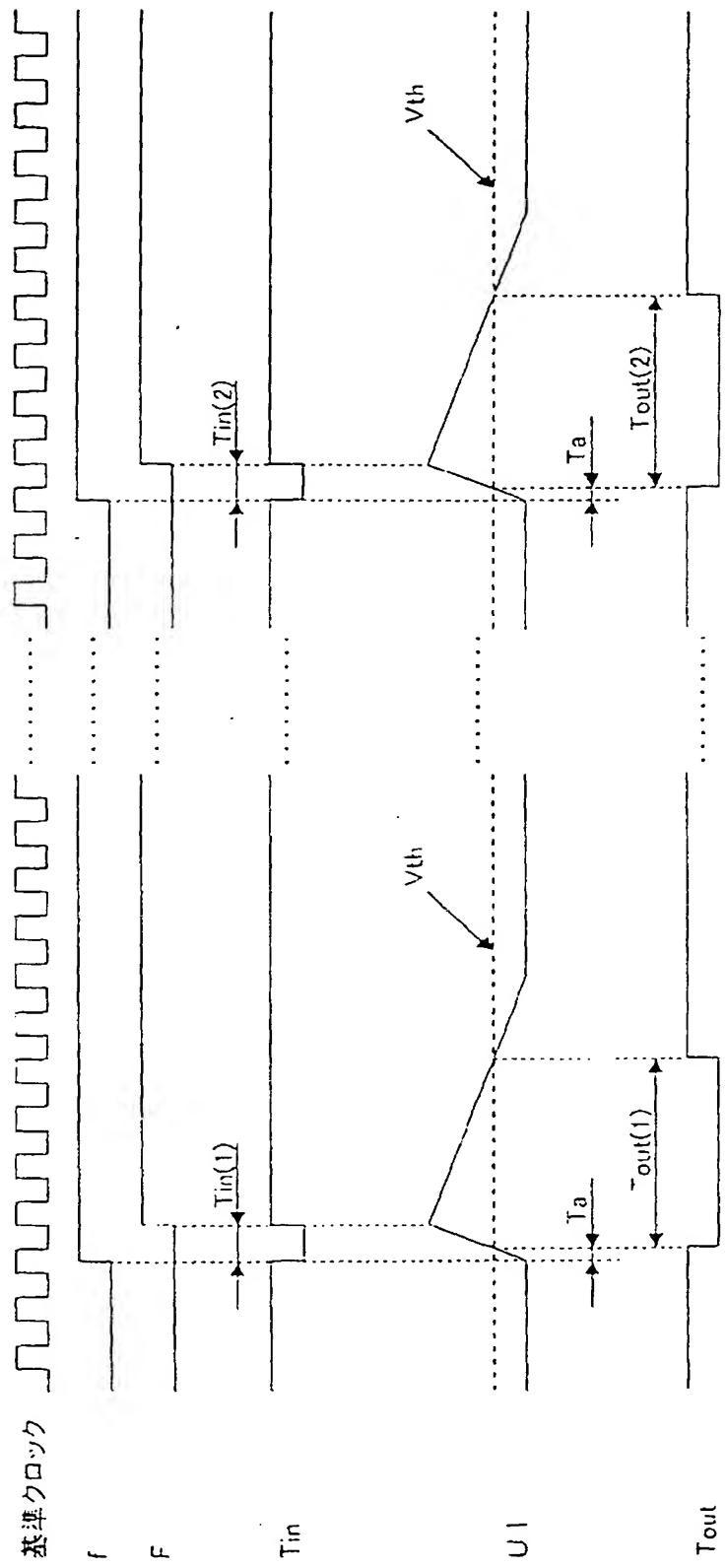
【図3】



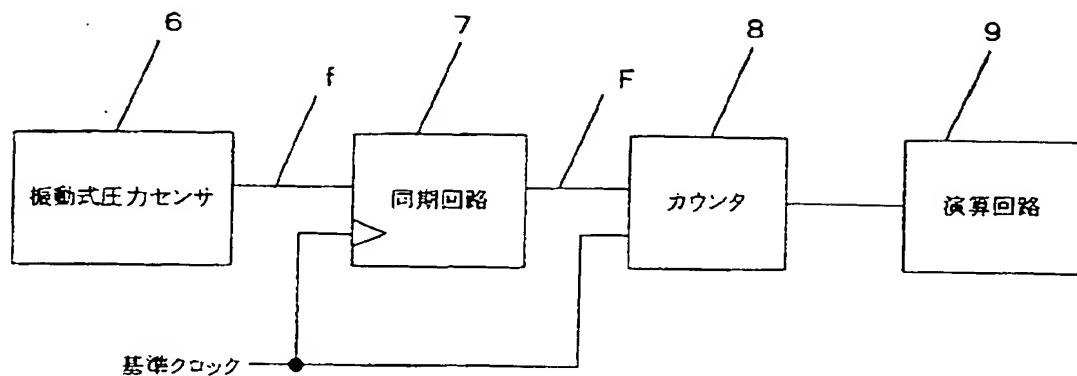
【図4】



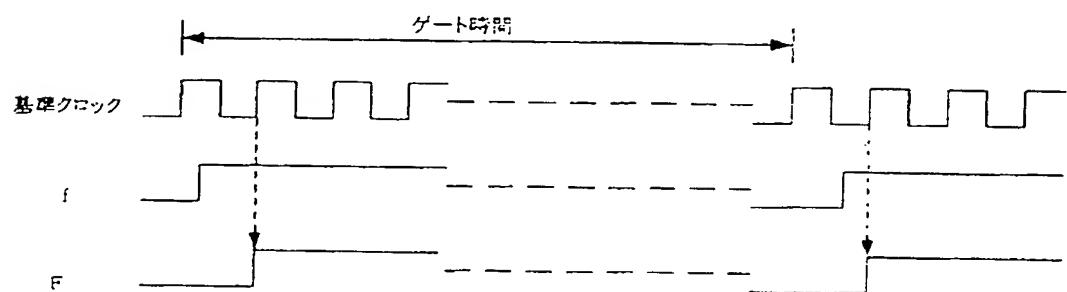
【図 5】



【図 6】



【図 7】



【書類名】

要約書

【要約】

【課題】 振動式圧力センサの出力周波数の測定を高速化、高分解能化するためには基準クロックの周波数を高くしなければならないが、周波数を高くすると消費電力が増加するので、2線式差圧・圧力伝送器に適用することは困難であったという課題を解決する。

【解決手段】 振動式圧力センサの出力と基準クロックの時間差に相当するパルス幅を有する時間差信号を作成し、この時間差信号のパルス幅を所定の倍率だけ拡大して、この拡大した信号のパルス幅の間基準クロックをカウントしたカウント値と、振動式圧力センサの出力の1周期またはその整数倍の間基準クロックをカウントしたカウント値から、この振動式圧力センサの出力周波数を求めるようにした。基準クロックの周波数を高くすることなく高速化、高分解能化を図ることができる。

【選択図】

図 1

認定・付加情報

特許出願の番号	特願2003-042462
受付番号	50300272010
書類名	特許願
担当官	北原 良子 2413
作成日	平成15年 2月26日

<認定情報・付加情報>

【提出日】	平成15年 2月20日
-------	-------------

次頁無

出証特2003-3057032

特願2003-042462

出願人履歴情報

識別番号 [000006507]

1. 変更年月日 1990年 8月10日

[変更理由] 新規登録

住所 東京都武藏野市中町2丁目9番32号
氏名 横河電機株式会社